



Username: Password:
 US Patent # (ex: 7012345)
[Advanced Search](#)

[Create Free Account](#) | [License or Sell Your Patent](#) | [WikiPatents Marketplace](#) | [WikiPatents Blog](#)

RECEIVER FOR SPECTRUM SPREADED SIGNAL

JP Patent #	JP8340278
Link to this page	http://www.wikipatents.com/jp/JP8340278.html
Inventor(s)	RIKARUDO DE GAUDENCHI RUKA FUANUTSUCHI FUIRITSUPO JIANETSUCHI MARUKO RUISE
Abstract	Abstract of JP8340278 PROBLEM TO BE SOLVED: To maintain a probability of error detection constant in the function of S/N ratio, while keeping the probability of detection error to a minimum by providing a sampling circuit for extracting an input signal and a signal demodulator preceding a circuit for code capture and signal detection. SOLUTION: A sample rR is received by a circuit (SR/CA) 3 for code capture and signal detection in charge of detecting a signal, while using a local signature code and generating a signal SP showing the existence of signal (a 1st state) within a fixed prescribed time interval. When the signal SP is detected, the SR/CA 3 generates a replica RP of a code tuned to a sample stream SS. Since it takes longer time than the ordinary response time of SR/CA 3 for confirming signal recognition, when the signal SP of a signal flag shows the end of message (in a 2nd state), the maintenance immediately permits the release of SR/CA 3. Thus, the SR/CA 3 is prepared for processing new messages.

- [Patent US](#)
What is Your US Patent's Value? Get US Patent's IQ, Download PDF
www.PatentRatings.com
- [Patent Licensing Services](#)
Marketing & licensing experts Only paid when successful!
www.LambertInvent.com
- [Patent Invention Services](#)
Helping clients through the patent process. Patent search and filing.
www.internationalpatentgroup.com
- [Intellectual Property Law](#)
Info on immigration laws & benefits allowed for immigrants!
www.everyclick.com
- [Intellectual Property Law](#)
Info on immigration laws & benefits allowed for immigrants!
www.everyclick.com
- [Intellectual Property Law](#)
Info on immigration laws & benefits allowed for immigrants!
www.everyclick.com
- [Czech Legal Services](#)
Law Office of Daniel Malis Czech Business and Real Estate law
www.malis.net
- [Kessler International](#)
Brand Protection Anti-Counterfeiting and Diversion
www.investigation.com

V V
Ads by Google
V V
Ads by Google

Title Information

Applicant	EUROP AGENCE SPATIALE
Inventor	RIKARUDO DE GAUDENCHI RUKA FUANUTSUCHI FUIRITSUPO JIANETSUCHI MARUKO RUISE
Publication Date	1996-12-24
Int. Classification	H03H21/00; H04B1/707; H03H21/00; H04B1/707; (IPC1-7): H04B1/707; H03H21/00
European Classification	H04B1/707A3C; H04B1/707A7
Application number	JP19960091585 19960412
Priority number(s)	FR19950004516 19950414
Also published as	EP0738049 (A1); US5818868 (A1); FR2733113 (A1); CA2173779 (A1); EP0738049 (B1); ES2216035T (T3); DE69631711T (T2)



[View Patent PDF Images](#)

INPADOC patent family

- 1 RECEPTEUR DE SIGNAUX A SPECTRE ETALE**
Inventor: DE GAUDENZI RICCARDO (NL); FANUCCI LUCA (NL); (+2) **Applicant:** EUROP AGENCE SPATIALE (FR) (BR)
EC: H04B1/707A3C; H04B1/707A7 **IPC:** H03H21/00; H04B1/707; H03H21/00(+3)
Publication info: CA2173779 A1 - 1996-10-15 CA2173779 C - 2007-07-03
- 2 Spread spectrum signal receiver using an autoadaptive detection threshold**
Inventor: DE GAUDENZI RICCARDO (NL); FANUCCI LUCA (NL); (+2) **Applicant:** AGENCE SPATIALE EUROP PARIS (FR) (BR)
EC: H04B1/707A3C; H04B1/707A7 **IPC:** H03H21/00; H04B1/707; H03H21/00(+2)
Publication info: DE69631711D D1 - 2004-04-08
- 3 Spread spectrum signal receiver using an autoadaptive detection threshold**
Inventor: DE GAUDENZI RICCARDO (NL); FANUCCI LUCA (NL); (+2) **Applicant:** AGENCE SPATIALE EUROP PARIS (FR) (BR)
EC: H04B1/707A3C; H04B1/707A7 **IPC:** H03H21/00; H04B1/707; H03H21/00(+2)
Publication info: DE69631711T T2 - 2005-03-10

4 Spread spectrum signal receiver using an autoadaptive detection threshold

Inventor: DE GAUDENZI RICCARDO (NL); FANUCCI LUCA (NL); (+2) Applicant: EUROP AGENCE SPATIALE (FR) (BR)

EC: H04B1/707A3C; H04B1/707A7

IPC: H03H21/00; H04B1/707; H03H21/00(+2)

Publication info: EP0738049 A1 - 1996-10-16 EP0738049 B1 - 2004-03-03

5 Spread spectrum signal receiver using an autoadaptive detection threshold

Inventor: DE GAUDENZI RICCARDO (NL); FANUCCI LUCA (NL); (+2) Applicant: EUROP AGENCE SPATIALE (BR)

EC: H04B1/707A3C; H04B1/707A7

IPC: H03H21/00; H04B1/707; H03H21/00(+2)

Publication info: ES2216035T T3 - 2004-10-16

6 Spread spectrum signal receiver using an autoadaptive detection threshold

Inventor: DE GAUDENZI RICCARDO; FANUCCI LUCA; (+2) Applicant: EUROP AGENCE SPATIALE (FR) (BR)

EC: H04B1/707A3C; H04B1/707A7

IPC: H03H21/00; H04B1/707; H03H21/00(+3)

Publication info: FR2733113 A1 - 1996-10-18 FR2733113 B1 - 1997-06-13

7 RECEIVER FOR SPECTRUM SPREADED SIGNAL

Inventor: RIKARUDO DE GAUDENCHI; RUKA FUANUTSUCHI; (+2) Applicant: EUROP AGENCE SPATIALE (BR)

EC: H04B1/707A3C; H04B1/707A7

IPC: H03H21/00; H04B1/707; H03H21/00(+3)

Publication info: JP3590473B2 B2 - 2004-11-17 JP8340278 A - 1996-12-24

8 Direct-sequence spread-spectrum receiver including code acquisition and detection using an autoadaptive threshold

Inventor: GAUDENZI RICCARDO DE (NL); FANUCCI LUCA (NL); (+2) Applicant: AGENCE SPATIALE EUROPEENNE (FR) (BR)

EC: H04B1/707A3C; H04B1/707A7

IPC: H03H21/00; H04B1/707; H03H21/00(+2)

Publication info: US5818868 A - 1998-10-06

 List of citing documents Claims

1. Récepteur de signal à spectre étalé produit par modulation d'un signal électrique avec un code binaire, lequel récepteur comprend un circuit d'échantillonnage pour échantillonner le signal à bande limitée, un circuit d'acquisition de code et de détection de signal, et un démodulateur de signal, caractérisé en ce que le circuit d'acquisition de code et de détection de signal (3) comprend des moyens agencés pour reconnaître le signal de sonnées reçu en comparant une valeur

EMI16.1

représentative d'échantillons significatifs $Z_1(h)$, ... $Z_L(h)$ sélectionnés avec un seuil auto-adaptatif

EMI16.2

généralisé à partir de la valeur moyenne

EMI16.3

des échantillons par multiplication de ladite valeur moyenne avec un facteur de multiplication fixé (Λ) afin de produire un signal (SP), ayant un premier état indiquant la présence d'un signal lorsque la valeur maximum précitée est supérieure audit seuil auto-adaptatif et un second état indiquant l'absence de signal dans le cas contraire.

2. Récepteur suivant la revendication 1, caractérisé en ce qu'il comprend en outre un filtre adapté par code (11) pour fournir des échantillons corrélés ($S_{p,q}$... $S_{q,q}$) du signal entrant ($r_p(k)$, $r_q(k)$), des moyens (12, 13) pour traiter les échantillons de manière non cohérente et fournir des échantillons ($e(k)$) consécutifs, des moyens (15) pour évaluer la moyenne des composantes $\pi(h)$ des échantillons ($e(k)$) dans une fenêtre d'égalisation glissante de largeur prédéterminée (W), et des moyens (16) pour évaluer la valeur maximum

EMI16.4

des groupes d'échantillons significatifs ($Z_1(h)$, ... $Z_L(h)$) sélectionnés.

3. Dispositif suivant la revendication 2, caractérisé en ce qu'il comprend un moyen (14) pour fournir les composantes ($\pi(h)$) précitées en parallèle.

4. Récepteur suivant l'une quelconque des revendications 2 et 3, caractérisé en ce qu'il comprend en outre un moyen pour désétaier le signal reçu à l'aide de répliques de code.

5. Récepteur suivant la revendication 4, caractérisé en ce qu'il comprend également un générateur de répliques de code.

6. Dispositif d'acquisition de code et de détection de signal tel que défini dans l'une quelconque des revendications précédentes.

 Description

La présente invention se rapporte aux systèmes de communications à accès multiple par division de code à spectre étalé à séquence directe et en particulier aux récepteurs de signal à spectre étalé utilisés dans ces systèmes. L'invention concerne plus particulièrement la reconnaissance du signal et l'acquisition du code utilisé dans la modulation du signal transmis.

Une technique rapide et fiable pour la reconnaissance du signal et l'acquisition du code peut se révéler un élément essentiel et crucial pour répondre aux spécifications fondamentales d'un système de communications, par exemple un système de communications radioélectriques terrestre ou par satellite.

Dans les systèmes de communications mobiles à accès multiple par division de code à séquence directe (DS-CDMA), les récepteurs les plus efficaces tirent parti de la diversité temporelle inhérente à un canal multivoies en utilisant plusieurs récepteurs qui doivent suivre les différents échos arrivant à l'antenne par les multiples chemins de propagation. Cela demande une détection de signal et une synchronisation de code de signature rapides et fiables. De plus, dans un réseau à accès multiple par division de code organisé par liaisons avec affectation dynamique des sources, la station de base doit prévoir une acquisition rapide et fiable des paquets de signaux transmis de manière aléatoire par des usagers dispersés. Des exigences semblables affectent un réseau qui n'est pas organisé par liaison, dans lequel le temps d'acquisition du démodulateur de paquets de signaux a une influence immédiate sur le débit de données global.

Dans toutes ces situations, les processus de recherche série classiques n'ont qu'un rendement faible évalué en temps d'acquisition pour des rapports signal/bruit faibles. Par contre, ces processus connus se sont jusqu'à présent caractérisés par un rapport coût/complexité beaucoup plus faible que les processus de recherche parallèle pour l'acquisition rapide de signaux de séquence directe. Toutefois, cette dernière considération est à l'heure actuelle partiellement évincée par les progrès réalisés dans les techniques de traitement numérique du signal et dans les technologies d'intégration à très grande échelle (VLSI).

Le but de l'invention est de réaliser un dispositif d'acquisition de code et de reconnaissance de signal qui puisse travailler de manière rapide et fiable avec des rapports signal/bruit faibles et qui soit susceptible d'être implémenté en un circuit intégré spécifique (ASIC).

Un procédé d'acquisition de code numérique rapide est déjà connu par FR-A-8913360. Ce procédé met en oeuvre un traitement parallèle rapide du signal mais il appelle les considérations ci-après. Il est basé sur une comparaison de l'amplitude du signal de sortie de corrélateurs avec un seuil fixé et impose la prise en compte de cinq paramètres. Il en résulte un dispositif relativement complexe et encombrant car ses performances ne sont pas aisément prévisibles. De plus, ce procédé connu a été conçu pour un système à spectre étalé TDRSS/DRS mais il n'est pas optimisé pour un étalement synchronisé par bit utilisé dans les systèmes commerciaux actuels. Enfin, les pertes qu'entraîne le processus de corrélation sont inacceptables dans un système de communications par satellite.

Pour atteindre le but recherché, l'invention propose un dispositif de reconnaissance de signal et d'acquisition de code basé sur un processus d'acquisition parallèle

non-cohérent utilisant un filtre adapté par code.

L'utilisation d'un filtre adapté par code pour remplacer le corrélateur classique a certes déjà été proposée par A. Polydoros et C.L. Weber (A Unified Approach to Serial Search Spread-Spectrum Code Acquisition - Part II: A Matched Filter Receiver, IEEE Transactions on Communications, Vol. COM-32, n DEG 5, mai 1984, pp. 550-560) et par L.B. Milstein, J. Gevorgiz et P.K. Das (Rapid Acquisition for Direct-Sequence Spread-Spectrum Communications Using Parallel SAW Convolver, IEEE Transactions on Communications, Vol. COM-33, n DEG 7, juillet 1985, pp. 593-600). Ces dispositifs ne conviennent cependant pas pour des rapports signal/bruit faibles.

Des propositions plus récentes ont été faites qui utilisent également un filtre adapté par code, mais aucune d'elles ne convient non plus pour travailler avec un rapport signal/bruit faible car la détection du signal est toujours basée sur la comparaison du niveau de sortie du filtre avec un niveau de seuil fixé.

La présente invention utilise une approche différente et propose un récepteur de signal à spectre étalé produit par modulation d'un signal électrique avec un code binaire, lequel récepteur comprend un démodulateur de signal précédé d'un circuit d'échantillonnage pour échantillonner le signal entrant et d'un circuit d'acquisition de code et de détection de signal. Ce dernier circuit comprend des moyens agencés pour reconnaître le signal de données reçu en comparant une valeur représentative d'échantillons significatifs sélectionnés avec un seuil auto-adaptatif généré à partir de la valeur moyenne des échantillons par multiplication de ladite valeur moyenne avec un facteur de multiplication fixé afin de produire un signal, ayant un premier état indiquant la présence d'un signal lorsque la valeur maximum précitée est supérieure audit seuil auto-adaptatif et un second état indiquant l'absence de signal dans le cas contraire.

Dans un mode de réalisation, le circuit d'acquisition de code et de détection comporte un filtre adapté par code pour fournir des échantillons corrélés du signal entrant. Des moyens traitent les échantillons de manière non cohérente et fournissent des échantillons consécutifs, puis des moyens évaluent la moyenne des composantes des échantillons dans une fenêtre d'égalisation glissante de largeur prédéterminée, et enfin des moyens évaluent la valeur maximum des groupes d'échantillons significatifs sélectionnés. Un générateur de répliques de code génère des répliques du code en synchronisme avec le début estimé des signaux de déphasage de code.

Le circuit d'acquisition et de détection suivant l'invention peut desservir plusieurs démodulateurs par paquets, ce qui permet d'optimiser la vitesse de traitement des données. Dans ce cas, le circuit comporte un moyen pour désétalement des données avant de les acheminer vers les démodulateurs par paquets.

Le seuil de détection auto-adaptatif, généré à partir du signal de sortie du circuit de détection, assure un processus de reconnaissance de signal auto-adaptatif qui tient directement compte des fluctuations éventuelles de l'amplitude du signal. Grâce à ce seuil auto-adaptatif, la probabilité de détection manquée se trouve minimisée tout en maintenant la probabilité de fausse détection constante en fonction du rapport signal/bruit. De plus, le dispositif d'acquisition et de détection suivant l'invention s'est avéré remarquablement précis et fiable en ce qui concerne la production du drapeau de présence de signal. Il n'introduit que de faibles pertes et permet un débit de données élevé aussi bien en mode de transmission par accès aléatoire qu'en mode de transmission par paquets. Enfin, la possibilité de le réaliser en technologie intégrée ASIC assure avec avantage une complexité matérielle réduite.

L'invention est exposée plus en détails dans ce qui suit à l'aide des dessins ci-annexés.

La figure 1 est un schéma par blocs d'un récepteur conforme à l'invention.

La figure 2 est un schéma par blocs d'un récepteur conforme à l'invention, configuré pour une démodulation par paquets.

La figure 3 montre un schéma fonctionnel du circuit d'acquisition et de détection suivant l'invention.

La figure 4 illustre l'architecture d'un mode de réalisation intégré pour le circuit d'acquisition et de détection suivant l'invention.

Les figures 5 à 11 sont des schémas par blocs des sous-ensembles composant le mode de réalisation illustré en figure 4.

En figure 1 est représenté schématiquement un récepteur de signal conforme à l'invention. Le filtre de bande 1 reçoit le signal d'entrée en bande de base $r(t)$ et la sortie du filtre est échantillonnée de manière asynchrone dans l'échantillonneur 2 à une cadence prédéterminée. L'échantillonneur 2 fournit deux ou plusieurs échantillons r_k par puce. Le filtre 1 peut être réalisé sous forme analogique ou numérique par l'homme du métier en s'appuyant sur ses connaissances normales. Les échantillons r_k sont reçus dans un circuit d'acquisition et de détection (SR/CA) 3 suivant l'invention dont le rôle est de détecter le signal à l'aide d'un code signature local et générer un signal drapeau SP indiquant la présence d'un signal dans un intervalle de temps donné et fixé. Lorsqu'un signal SP est détecté, le circuit de détection 3 produit une réplique de code RP synchronisée avec le flux d'échantillons SS.

L'ensemble des signaux produits par le circuit d'acquisition et de détection 3 est transmis au démodulateur 4, connu en soi. Celui-ci procède au désétalement du signal en utilisant les échantillons du signal et les répliques de code, d'une manière connue en soi.

Etant donné que la confirmation de la reconnaissance du signal exige normalement un temps plus long que le temps de réponse du circuit de détection 3, le montage permet de libérer immédiatement le circuit de détection dès que le signal drapeau SP indique que le message est terminé. Le circuit de détection 3 est ainsi directement disponible pour traiter un nouveau message.

La figure 2 représente une variante de récepteur de signal suivant l'invention destinée à la démodulation des données par paquets. Lorsque le circuit d'acquisition et de détection 3 détecte la présence d'un signal, il achemine le signal de présence SP et le signal d'entrée préalablement désétalement DS à l'aide de répliques de code vers une unité de service qui dessert plusieurs démodulateurs par paquets 6. L'unité de service 5 achemine le signal désétalement à la cadence de symbole vers le démodulateur par paquets disponible. Chaque démodulateur travaillant à la cadence de symbole assure la synchronisation de fréquence, de phase et d'encadrement et extrait ainsi les bits d'information des paquets. Afin de réduire la durée du préambule de paquet, le démodulateur par paquets pourrait traiter les échantillons de données en différé, ce qui demanderait alors un temps de traitement plus long que la durée d'un paquet. Dans ce cas aussi, le circuit d'acquisition et de détection 3 se trouve libéré dès que le signal drapeau de présence de signal SP indique que le message est terminé, ce qui rend ce circuit directement disponible pour traiter un nouveau message.

Le circuit d'acquisition et de détection est décrit plus en détails ci-après à l'aide du schéma fonctionnel de la figure 3. Les composantes en phase $r_p(k)$ et en quadrature $r_q(k)$ des échantillons $r(k)$ sont appliquées à plusieurs filtres adaptés par code 11 dont le rôle est d'effectuer la corrélation du signal entrant avec les codes d'étalement en phase et en quadrature de phase. Deux filtres sont représentés à titre d'exemple pour chaque composante de signal. Les échantillons S_p, p, S_q, q et S_q, q aux sorties des filtres 11 sont élevés au carré en 12 et additionnés en 13. Le signal résultant $e(k)$ est indépendant de la modulation des données et du déphasage de la porteuse (traitement non cohérent).

Les échantillons consécutifs de $e(k)$ sont la corrélation du signal reçu avec des versions progressivement décalées des codes d'étalement CP et CQ. La résolution du problème d'estimation peut être assurée en traitant les échantillons $e(k)$ en parallèle. La valeur maximum de la fonction de probabilité peut être trouvée par une simple comparaison des valeurs différentes de $e(k)$ calculées pour tous les déphasages possibles du code dans une période de code (L). Un convertisseur série/parallèle 14 fournit les composantes $p_1(h) \dots P_L(h)$ en parallèle. Ce convertisseur joue également le rôle d'un décimateur car les sorties sont mises à jour à une cadence imposée par la longueur du code. L'indice (h) dans l'identification des composantes représente l'indice de la période de code en cours. Afin d'obtenir une moyenne significative des échantillons, chaque composante $p(h)$ traverse une fenêtre glissante 15 de longueur W. On obtient ainsi un ensemble de L signaux représentant L groupes d'échantillons significatifs Z(h).

Les groupes d'échantillons Z(h) sont ensuite évalués dans un circuit d'évaluation 16 ayant pour fonction de fournir une indication delta $\Delta < \delta > (h)$ de la valeur provisoire du déphasage du code pour la démodulation subséquente, et fournir la valeur maximale des L groupes d'échantillons significatifs. Un circuit de détection 17 compare ensuite cette valeur maximale avec un seuil auto-adaptatif

EM18.1

généralisé localement par multiplication en 18 de la moyenne des échantillons avec un facteur de multiplication Lambda et produit le drapeau de présence de signal SP lorsque la valeur maximale précitée dépasse le seuil

EM18.2

La valeur provisoire delta (h) du déphasage du code est utilisée dans un générateur de code 19 pour synchroniser la génération des répliques $C / < \delta > p$ et $C / < \delta > q$ du code. Le cas échéant, comme représenté sur la figure 3, le circuit d'acquisition et de détection comprend également un circuit désétalement de données 20 qui désétalement les données d'entrée avec les répliques de code $C / < \delta > p$ et $C / < \delta > q$ acquises.

Le schéma fonctionnel décrit ci-dessus suppose un mode de traitement sur la base d'un échantillon par puce. Cependant, il est possible à l'homme du métier d'adapter le mode de réalisation de l'invention à un traitement sur base de plusieurs échantillons par puce, par exemple deux ou quatre échantillons par puce, ce qui permet de minimiser les pertes de désétalement des données par un traitement par paquets.

Le but du circuit d'acquisition SR/CA est de reconnaître un signal provenant d'un usager particulier parmi les signaux provenant de plusieurs usagers. A cet effet, le circuit d'acquisition doit effectuer sur les échantillons un test non-cohérent basé sur le taux de probabilité de deux hypothèses différentes : absence de signal et présence de signal. Ce test consiste fondamentalement à comparer le niveau estimé du signal avec un seuil fixé. Afin de réduire autant que possible la charge de calcul pour la reconnaissance du signal et se débarrasser d'un risque de dégradation du rendement par suite de variations rapides inattendues de l'amplitude du signal, au lieu d'effectuer le test sur le signal reçu r_k ainsi qu'il est usuel, l'invention prévoit d'effectuer ce test sur la sortie Z(h) du circuit d'acquisition. Cette façon de procéder conformément à l'invention permet de réutiliser le circuit de détection lui-même à cet effet et de réaliser un processus auto-adaptatif simple qui tient directement compte des fluctuations éventuelles de l'amplitude du signal.

Pour ce faire, la valeur maximale sélectionnée dans les échantillons Z(h) est comparée à un seuil auto-adaptatif

EM10.1

généralisé localement en multipliant la valeur moyenne

EMI10.2

avec un facteur de multiplication Lambda prédéterminé.

Dans le processus de reconnaissance conforme à la présente invention, les deux paramètres clés qui influencent de manière significative les performances globales du circuit sont la longueur W de la fenêtre d'égalisation et le facteur de multiplication Lambda qui fixe le seuil de détection auto-adaptatif.

Grâce à un seuil de détection auto-adaptatif, la probabilité de fausse détection est indépendante du rapport signal/bruit réel. La probabilité de détection manquée est une fonction monotone décroissante du rapport signal/bruit, sa valeur étant inférieure à celle qui résulte du critère Neyman-Pearson optimal. Cette particularité est très utile en mode de traitement par paquets pour lequel les probabilités de fausse détection et de détection manquée doivent être inférieures à une valeur spécifiée. Une détection manquée résulte en effet en une perte d'un paquet de données. Les paramètres Lambda et W du circuit sont sélectionnés pour satisfaire aux exigences quant aux probabilités de détection manquée (PMD), de fausse acquisition (PFA) et d'acquisition de phase erronée (PWA) pour le rapport signal/bruit le plus mauvais et la plus mauvaise latence de détection de signal. Pour un meilleur rapport signal/bruit, les probabilités PMD et PWA seront supérieures à la valeur maximale spécifiée tandis que la probabilité PWA et la latence resteront inchangées.

Outre ses performances évaluées en vitesse d'acquisition et de reconnaissance du signal et en fiabilité de détection, le circuit suivant l'invention présente l'avantage de pouvoir être réalisé en technologie ASIC.

La figure 4 représente un schéma par blocs de l'architecture d'un mode de réalisation en technologie ASIC. Les signaux d'entrée sont le bit de plus fort poids linéaire de la composante en phase du signal de sortie du filtre d'entrée et le bit de plus fort poids quadrature de la composante en quadrature de phase du signal de sortie dudit filtre. Ce mode de réalisation, applicable à n'importe quel code pseudo-bruit (PN), a été conçu pour démoduler un signal de type QPSK DS/SS CDMA avec des séquences conformées par un filtre cosinus racine carrée de Nyquist ayant un facteur de discrimination de 0,4.

Pour la clarté de l'exposé, la description qui suit est faite en considérant le traitement d'un échantillon par puce, étant cependant entendu que la réalisation du circuit a été faite en prévoyant son utilisation pour le traitement d'un plus grand nombre d'échantillons par puce (par exemple deux ou quatre échantillons par puce) moyennant des modifications mineures. La figure 4 se complète des figures 5 à 11 qui représentent les sous-ensembles qui constituent les blocs fonctionnels montrés en figure 4. Sur les figures complémentaires précitées sont indiquées les longueurs sélectionnées pour les mots binaires internes. Ces longueurs ont été sélectionnées à la suite d'une analyse visant à assurer un compromis acceptable entre la complexité du circuit et les performances du récepteur.

Le bloc 21 réalise la filtration étalée des composantes P et Q du signal d'entrée à l'aide de deux codes Gold à phase préférentielle servant de séquences de signature. Ces codes signature sont désignés par CP et CQ sur la figure 5 qui représente un schéma simplifié du bloc de filtration. Un signal extérieur

EMI12.1

Nb-samp fixe le nombre d'échantillons par puce. Grâce à un contrôle judicieux du flux de données entrantes et des séquences de signature, la filtration est réalisée au moyen d'un seul corrélateur de données au lieu de quatre, ce qui réduit considérablement la complexité du matériel puisque le nombre de portes pour réaliser un corrélateur complexe est de l'ordre de 10.000 (ce qui est approximativement le quart du nombre total de portes du circuit intégré spécifique). Ce circuit peut aisément être réalisé en technologie MOS complémentaire (CMOS). Les échantillons corrélés sont sériés à la sortie de l'additionneur 31 à la cadence d'horloge système FSysClk et représentés sur 8 bits

Les échantillons corrélés

EMI12.2

sont introduits dans le bloc de mise au carré et de sommation 22 dont un schéma de réalisation est représenté en figure 6. Par suite de l'organisation imbriquée des données, celles-ci se trouvent en série dans le temps de sorte qu'il est possible de réaliser la fonction à l'aide d'un dispositif de mise au carré 32 et d'un accumulateur 33 commandé adéquatement. La sortie du bloc 22, représentée sur 15 bits, est acheminée vers la fenêtre d'égalisation glissante (bloc 23) à la cadence d'échantillonnage FSampClk = 1/4 FSysClk.

Le rôle du bloc 23 est d'effectuer l'égalisation des échantillons traités décrite plus haut. Au lieu d'effectuer une conversion série/parallèle suivie d'une fonction d'égalisation comme schématisé en figure 3, le mode de réalisation représenté à la figure 7 réalise l'égalisation à l'aide d'un accumulateur 34 et d'un élément mémoire RAM 35, ce qui rend superflue la conversion série/parallèle. L'accès à la mémoire RAM se fait à une cadence double de la cadence des données de manière à permettre l'exécution d'une opération de lecture et d'une opération d'écriture pendant un intervalle d'échantillon

EMI13.1

L'initialisation de l'accumulateur et la commande des opérations de lecture/écriture sont contrôlées par des signaux de commande appropriés. Les groupes de L échantillons

EMI13.2

sont fournis à la cadence FSampClk/(L*W) tandis que dans chaque groupe, la cadence des données est FSampClk.

Les groupes d'échantillons

EMI13.3

sont reçus dans le bloc d'évaluation 24 dont un schéma d'architecture est représenté en figure 8. Les données entrantes sont d'abord marquées par l'information de phase connue du code, fournie par un compteur programmable 36 initialisé de façon convenable. L'évaluation du maximum est ensuite effectuée à l'aide d'un seul comparateur 37 et d'un élément mémoire 38 en mode récurent. L'évaluation de la moyenne

EMI13.4

se fait en accumulant simplement les L-1 échantillons restants. Afin de réduire la complexité du circuit, l'évaluation de la moyenne est effectuée sur la sortie du bloc d'égalisation 23 tronquée à 15 bits. La troncature est réalisée en 39 en tenant compte de l'ouverture dynamique de la fenêtre glissante qui dépend de la période d'intégration W. En principe, pour obtenir le niveau de la moyenne, la sortie de l'accumulateur (figure 3) devrait être multipliée par 1/(L-1). Toutefois, pour réduire la complexité du circuit, ce facteur de normalisation est pris en compte dans le bloc de détection avec ajustement par le facteur de multiplication

EMI13.5

Les sorties du bloc 24 sont la phase estimée

EMI13.6

du code, la valeur maximale

EMI13.7

des L groupes d'échantillons sélectionnés et la valeur moyenne

EMI14.1

des L groupes d'échantillons sélectionnés. Ces sorties sont délivrées à la cadence FSampClk/(L*W).

La détection finale du signal est effectuée dans le bloc 25 dont un mode d'exécution est représenté en figure 9. La valeur maximale

EMI14.2

est comparée en 40 à un seuil auto-adaptatif

EMI14.3

généralisé par multiplication en 41 du signal de moyenne

EMI14.4

avec un facteur de multiplication Lambda. Un drapeau SP indiquant la présence d'un signal est produit par le comparateur 40 lorsque la valeur

EMI14.5

dépasse le seuil auto-adaptatif

EMI14.6

Une sortie additionnelle sur 8 bits (Soft Relia) fournit une indication sur la fiabilité de la détection effectuée.

Le bloc 26 génère les codes Gold P et Q utilisés comme séquences de signature et produit les composantes désétalées du signal d'entrée. La figure 10 représente un circuit générateur de codes. Ce circuit comporte essentiellement des registres à décalage 41 et 42 et génère les codes P et Q en synchronisme avec le début estimé de la phase du code (signal

EMI14.7

). La figure 11 est un schéma par blocs d'un circuit désétalateur de données dans lequel 43 désigne un comparateur et 44 un compteur programmable. Il est agencé pour sélectionner les échantillons apparaissant à la sortie du filtre 21 en synchronisme avec le signal

EMI14.8

c'est-à-dire en synchronisme avec les codes de signature et assurer la conversion série-parallèle des données désétalées. Les composantes PP, PQ, QP et QQ sont délivrées à la cadence des symboles sous le contrôle du compteur 44.

Le bloc 27 génère tous les signaux de commande qui rythment le fonctionnement de l'ensemble du circuit. Il comporte essentiellement un compteur programmable qui peut être programmé pour différents nombres d'échantillons par puce et différentes longueurs W de fenêtre d'égalisation. Ce circuit est donc adaptable à diverses configurations du circuit d'acquisition et de détection.

Le mode de réalisation décrit dans ce qui précède est un exemple servant à illustrer les possibilités avantageuses que permet l'invention mais il est bien entendu que celle-ci n'est nullement limitée à ce mode de réalisation particulier. D'autres formes de réalisation sont de la compétence normale de l'homme du métier.



[About WikiPatents](#) | [FAQs](#) | [Terms & Disclaimer](#) | [Marketplace](#) | [Link to WikiPatents](#) | [Contact Us](#)
© Copyright 2007 - WikiPatents, Inc. - All rights reserved.

WikiPatents, Inc. is not affiliated with Wikipedia or the Wikimedia Foundation.